

## CIRCUITS

# La fiabilité est au cœur des conceptions en 45 nm et moins

Les problèmes rencontrés par les concepteurs de circuits intégrés en 90 nm et 65 nm sont à peine résolus que les acteurs des semiconducteurs planchent déjà sur ceux liés aux technologies 45 nm et moins.

Les sujets de discussion et de débat ne manquent pas ces derniers temps dans le domaine de la conception électronique. Quand ce n'est pas la basse consommation (voir *EI* n° 648), il s'agit de la vérification, de la conception au niveau système (ESL) ou des trois thèmes en même temps lorsqu'on aborde les technologies de process 65 nm et moins. Alors que les composants en 65 nm viennent juste d'être lancés en grand volume, les premiers circuits en 45 nm vont être livrés cette année et en grand volume en 2009, année des premiers prototypes en 32 nm. Avec ces technologies vont s'accumuler les difficultés et les technologies de conception devront parfois dépasser la loi de Moore : la vérification des signaux mixtes et RF, la conception puce-boîtier, la conception matérielle-logicielle avec plusieurs processeurs, la maîtrise avancée de la fiabilité et de la consommation, certains thèmes étant au cœur des présentations faites lors de Medea+ Design Automation Conference, manifestation organisée du 22 au 24 mai dernier par Minattec dans le cadre de la Maison des micro et nanotechnologie à Grenoble.

## Une conception robuste, des bénéfices pour la vie

Au niveau des conceptions pour la fabrication (DFM) et pour le rendement (DFY), les technologies 45 nm et moins imposent une optimisation



encore plus poussée pour prendre en compte les différentes sources de variabilité d'un process. Il faut pour cela comptabiliser les variations systématiques liées à la lithographie, au polissage mécano-chimique (CMP) et à des critères paramétriques (rendement, consommation, etc.), puis rendre le design robuste à ces variations et ensuite traiter les variations aléatoires (aspect statistique). « *La robustesse d'une conception permet ainsi de rendre le process de fabrication mature plus vite* », précise M. Magarshack de STMicroelectronics.

Une conception robuste assure également une disponibilité et un niveau de sûreté plus importants du produit intégrant le circuit intégré. Il existe déjà des techniques (redondance des vias, parité et codes de correction d'erreur ou ECC, par exemple) pour compenser les effets de phénomènes comme la "Hot Carrier

La soixante-dizaine de personnes présentes sur les trois journées du Medea+ DAC ont pu faire le point sur l'avancée des méthodologies de conception en technologies 45 nm et moins, ainsi que sur différents projets Medea+.

Injection", la "Negative Bias Temperature Instability", le claquage d'oxyde, l'électromigration, les erreurs logicielles induites par des radiations (SER).

« *Mais ces méthodologies referment la fenêtre de conception en limitant les performances, en ajoutant du stress supplémentaire* », affirme Georg Georgakos (Infineon Technologies).

## La consommation traquée à tous les niveaux

Différentes équipes de recherche s'orientent vers des méthodologies de conception pour la fiabilité (DFR), à l'instar de l'Imec et d'une technique adaptative avec calibrage de la durée d'exécution pour les variabilités dépendantes du temps, des projets Medea+ 2A713, baptisé Honey pour Highly Optimized Design Methods for Yield and Reliability<sup>(1)</sup>, et 2T302, baptisé Muscle pour Mask through User's Supply Chain: Leadership by Excellence<sup>(2)</sup>, etc.

La fiabilité n'est pas le seul axe de recherche concernant les conceptions

en technologies 45 nm et moins. La consommation, qui a d'ailleurs un impact sur la fiabilité, occupe une place importante à toutes les étapes de la conception. « *Le process et l'architecture système sont les deux étapes ayant l'impact le plus important sur la consommation* », indique Alexander Schreiber (NXP Semiconductors). Le laboratoire TIMA travaille, quant à lui, sur une méthodologie capable de générer des éléments logiciels dépendant du matériel (OS et couche d'abstraction matérielle) prenant en compte la consommation au sein des systèmes sur une puce multiprocesseurs (MPSoC). Toujours dans le cadre du projet LoMoSa<sup>(3)</sup>, l'université de Cantabria a développé la plate-forme de simulation matérielle-logicielle SCoPe, pour les MPSoC assurant également l'estimation de la consommation et des performances avec les outils PERFidIX pour la partie logicielle et Sicosys (simulation de réseau sur une puce).

CÉDRIC LARDIÈRE

- (1) Lancé en janvier 2007, le projet Honey a pour but le développement de méthodes pour améliorer le rendement et la fiabilité sans toucher au process de fabrication du silicium.
- (2) Le projet Muscle aboutira à un flot de données standardisé entre conception, fabrication de masques et production.
- (3) Le projet LoMoSa consiste en une plate-forme holistique pour les systèmes basse consommation en technologies Cmos 65 nm et moins.

## ECOMAL

Electronic Components and Logistics  
www.ecomal.com

ECOMAL France S.A.S.  
116 Rue Ronsard  
FR-37075 Tours Cedex 2  
Tél. +33 (0)2 47 88 22 44  
Fax +33 (0)2 47 88 22 42  
info@ecomal.com

Le composant indispensable de votre succès!

### knitter-switch

Leader dans la commutation miniature

- Stock permanent • Qualité
- Réactivité • Prix compétitifs

Inverseurs à levier

Inverseurs à bouton-poussoir

Tact-switches

Dip-rotatifs

Commutateurs rotatifs

Voyants à DEL

Inverseurs à glissière

Interrupteurs dual-in-line

KNITTER-SWITCH France  
6C, Avenue de l'Europe  
F-78117 Toussus-le-Noble  
Tel: +33 (0)1 39 07 44 84  
Fax: +33 (0)1 39 56 28 83  
Mail: ksfrance@knitter-switch.com  
www.knitter-switch.com